

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-018052

(43)Date of publication of application : 19.01.1996

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/8234
H01L 27/088
H01L 21/8238
H01L 27/092
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 07-064115

(71)Applicant : NIPPONDENSO CO LTD

(22)Date of filing : 23.03.1995

(72)Inventor : FUKATSU SHIGEMITSU
KUBOKOYA RYOICHI
SHIRATORI KENJI
OYA NOBUYUKI

(30)Priority

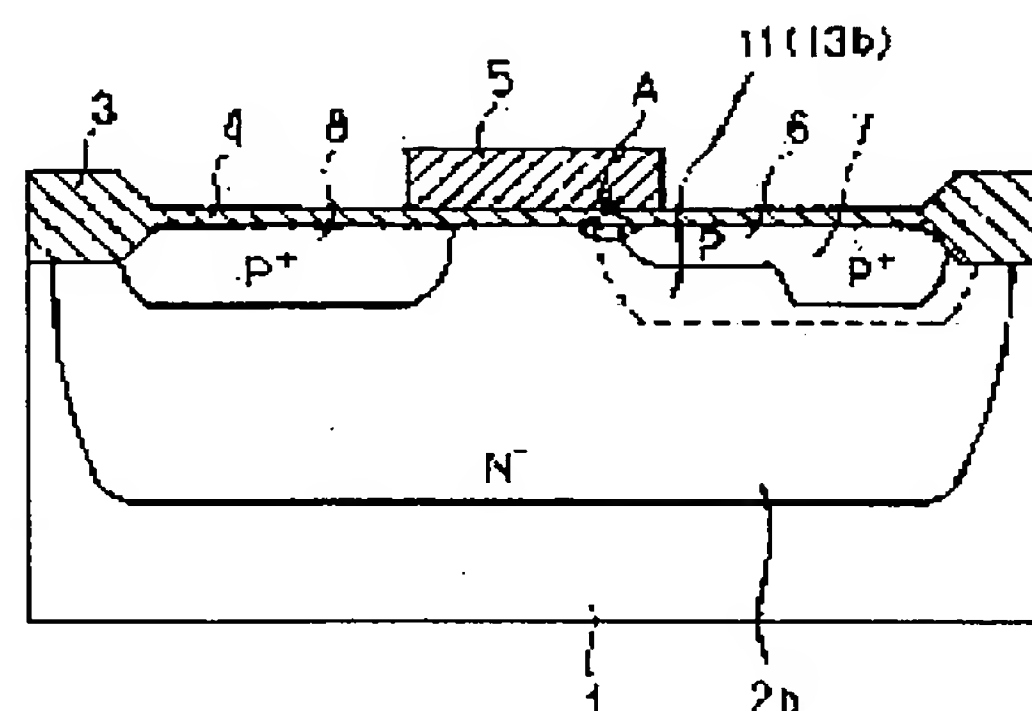
Priority number : 06 91714 Priority date : 28.04.1994 Priority country : JP

(54) MIS TYPE SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a transistor structure which can control the change of the quantity of currents capable of being let flow when the drive voltage has changed, and the change of the current driving capacity, and its manufacture.

CONSTITUTION: The change of the quantity of currents capable of being let flow and the change of the current driving capacity is suppressed by doping n-type impurity diffusion layers 13b (11) made on both sides of the gate electrode 5 of a pch MOS transistor with p-type impurities by oblique ion implantation method, so as to offset the n-type impurities in the impurity region shown at least by A overlapping the gate electrode 5, thereby suppressing the rise of the threshold voltage of a P-channel type of MIS transistor by n-type impurity diffusion layer.



LEGAL STATUS

[Date of request for examination]

10.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3055424

[Date of registration]

14.04.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-18052

(43) 公開日 平成8年(1996) 1月19日

(51) Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
H 0 1 L 29/78
21/336
21/8234

H 0 1 L 29/ 78 3 0 1 P
27/ 08 1 0 2 B

審査請求 未請求 請求項の数 8 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平7-64115

(22) 出願日 平成7年(1995) 3月23日

(31) 優先権主張番号 特願平6-91714

(32) 優先日 平6(1994) 4月28日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 深津 重光

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 窪小谷 良一

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 白鳥 賢治

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(74) 代理人 弁理士 碓氷 裕彦

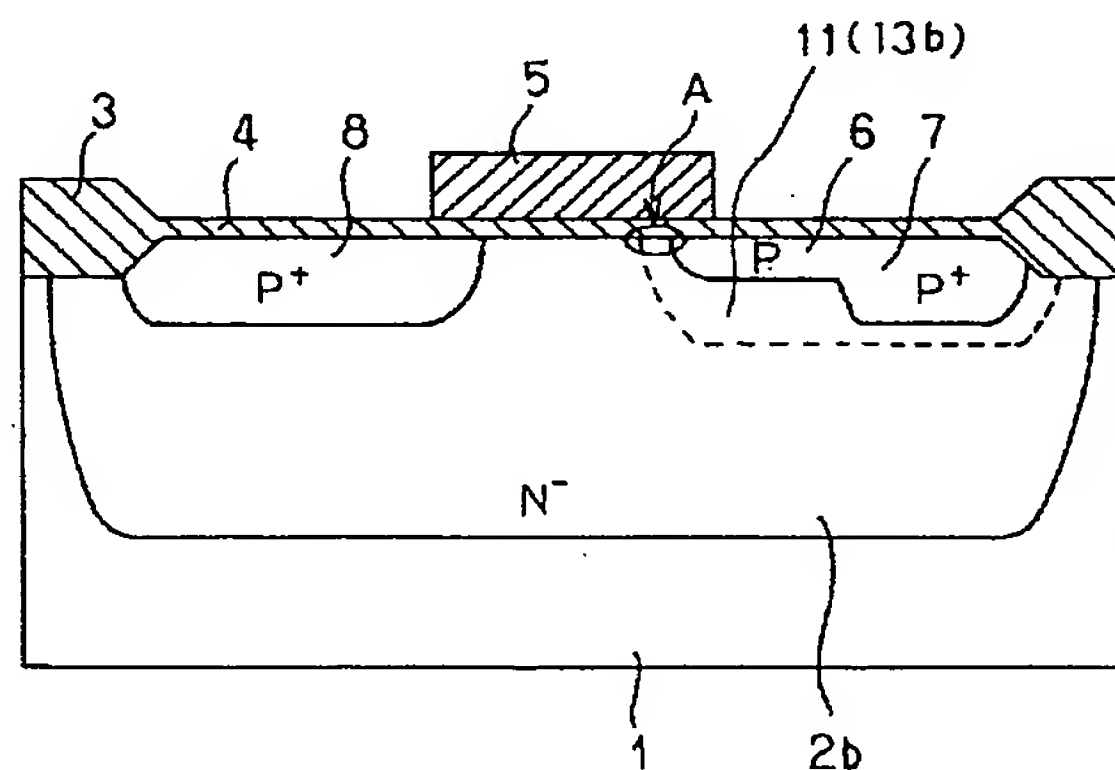
最終頁に続く

(54) 【発明の名称】 M I S 型半導体装置及びその製造方法

(57) 【要約】

【目的】 駆動電圧が変化した場合の流せる電流量変化および電流駆動能力変化を抑制することのできるトランジスタ構造およびその製造方法を提供することを目的とする。

【構成】 P c h M O S トランジスタのゲート電極5の両側に形成されたN型の不純物拡散層13b(11)にP型の不純物を斜めイオン打込法によってドーブし、少なくともゲート電極5とオーバーラップする図中Aに示す不純物領域のN型不純物を相殺するようにし、N型の不純物拡散層によるPチャネル型M I S トランジスタのしきい値電圧の上昇を抑制して、流せる電流量変化および電流駆動能力変化を抑制する。



【特許請求の範囲】

【請求項1】 半導体基板に形成され、該半導体基板の一表面に露出する第1導電型の第1半導体領域に、第2導電型の所定の不純物濃度を有するソースおよびドレイン領域を備え、絶縁膜を介して配設されたゲート電極によって導通制御されるMIS構造のトランジスタであって、

前記第1半導体領域において前記ドレイン領域を覆うように形成されるとともに、前記第1半導体領域よりも高濃度の第1導電型からなる第2半導体領域を有し、該第2半導体領域の前記ゲート電極下の領域であって、かつ反転層の形成される前記半導体基板の表面領域においては、その不純物濃度が前記第1半導体領域の不純物濃度とほぼ同等となっていることを特徴としたMIS型半導体装置。

【請求項2】 前記ゲート電極下の前記第2半導体領域の表面近傍の不純物濃度プロファイルは、反転層の形成される表面付近において、前記第1半導体領域の前記半導体基板表面付近における不純物濃度とほぼ同等の不純物濃度を有することを特徴とする請求項1に記載のMIS型半導体装置。

【請求項3】 前記ドレイン領域の前記ゲート電極のエッジ部における電界集中を緩和すべく、前記ゲート電極エッジ部と前記ドレイン領域との間に配設された前記ドレイン領域よりも低い不純物濃度の第2導電型オフセット領域を有するものであり、かつ前記第2半導体領域は、このオフセット領域より広く、かつ深い拡散深さを有して、該オフセット領域を囲うようにして形成されたことを特徴とする請求項1または2に記載のMIS型半導体装置。

【請求項4】 半導体基板の所定領域に設けられた第1導電型の前記第1半導体領域上に絶縁膜を介してゲート電極を形成する第1工程と、

該ゲート電極をマスクとして所定角度にてイオン注入し、前記第1半導体領域の不純物濃度よりも高い濃度の第1導電型の第2半導体領域を自己整合的に形成する第2工程と、

前記第2半導体領域の前記ゲート電極下であって前記半導体基板表面付近における不純物濃度を前記第1半導体領域の不純物濃度とほぼ同等の濃度にすべく、第2導電型の不純物を前記ゲート電極をマスクとしてイオン注入する第3工程と、

前記ゲート電極をマスクとしてイオン注入し、前記第2半導体領域内に第2導電型の第3半導体領域を形成する工程とを有することを特徴とするMIS型半導体装置の製造方法。

【請求項5】 前記第3工程のイオン注入は、前記第2半導体領域のイオン注入の注入角度と同等の注入角度にて行われることを特徴とする請求項4に記載のMIS型半導体装置の製造方法。

【請求項6】 半導体基板の所定領域に第1導電型の第1半導体素子領域と、第2導電型の第2半導体素子領域とを設け、該第1および第2半導体素子領域上に絶縁膜を介して第1ゲート電極、第2ゲート電極を形成する第1工程と、

該第1ゲート電極および第2ゲート電極をマスクとして第1導電型の不純物を所定の角度にてイオン注入し、前記第1および第2半導体素子領域に前記第1ゲート電極および第2ゲート電極の少なくとも一方の側に第1導電型の第1半導体領域と第2半導体領域を形成する第2工程と、

前記第1半導体素子領域において、前記第2工程にて前記第1ゲート電極下であって、前記第1半導体素子領域表面付近の前記第1半導体領域の不純物濃度を前記第1半導体素子領域の不純物濃度に近づけるべく、第2導電型の不純物を前記第1ゲート電極をマスクとしてイオン注入する第3工程と、

前記第1ゲート電極をマスクとして第2導電型の不純物をイオン注入し、前記第1半導体素子領域に第2導電型の第3半導体領域を形成する第4工程と、

前記第2ゲート電極をマスクとして第1導電型の不純物をイオン注入し、前記第2半導体素子領域に第1導電型の第4半導体領域を形成する第5工程とを具備することを特徴とする相補形MIS型半導体装置の製造方法。

【請求項7】 前記第4工程は、前記第1ゲート電極をマスクとして第1種第3半導体領域を形成する工程と、さらに第1種第3半導体領域に隣接するように該第1種第3半導体領域よりも高濃度の第2種第3半導体領域を形成する工程とを含むものであることを特徴とする請求項6に記載の相補形MIS型半導体装置。

【請求項8】 前記第3工程のイオン注入は、前記第2半導体領域のイオン注入の注入角度と同等の注入角度にて行われることを特徴とする請求項6または7に記載の相補形MIS型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高耐圧MISトランジスタ、相補型トランジスタの構造および製造方法に関する。

【0002】

【従来の技術】従来、図1に示す様に、例えばPチャネルMOS型トランジスタを例にとって説明すれば、そのドレインを高不純物濃度(P⁺)領域7とそれよりも低不純物濃度(P⁻)のオフセット領域6の2つの部分に分けて、ゲートエッジ部9での電界集中を抑制して、ドレイン耐圧を向上させる、いわゆるオフセット・ゲート構造のトランジスタが知られている。

【0003】しかし、このオフセット・ゲート構造の素子では、その動作時、このオフセット領域6が高抵抗成分として作用し、電流駆動能力が低下してしまうという

問題があった。上記の問題に対し、特開平4-212465号公報では、図2に示す様に、従来のオフセット・ゲート構造トランジスタのオフセット領域6およびドレイン領域7を、基板と同じ導電型の拡散層領域10で囲むことにより、オフセット領域6を高不純物濃度の拡散層で形成可能とし、このオフセット領域6を低抵抗化することにより電流駆動能力を向上させることができる所謂2重オフセット構造のトランジスタが開示されている。

【0004】また、CMOS型トランジスタにおいては、その微細化が進むにつれて、短チャネル効果やホット・キャリア効果が大きくなり、これに対する考慮が必要となってきた。特開昭62-217666号公報では、P型チャンネルMOSトランジスタおよびN型チャンネルMOSトランジスタのソース・ドレイン層を低濃度のN型不純物層で取り囲むことにより、この両方の効果を同時に低減できるMOS型半導体装置の製造方法が開示されている。

【0005】ところで、近年、低消費電力の要望から駆動電圧を低電圧化する傾向がある。これは、通常ドレイン電圧を5V電圧としてトランジスタを動作させていたものを、例えば3Vや2.5V電圧で駆動させようとするものである。

【0006】

【発明が解決しようとする課題】しかしながら、上記公報に示されるようなMOSトランジスタを上述したような低電圧で駆動させた場合にしきい値が大きく変動してしまうことがわかった。図2に示されるPチャンネル型のオフセット・ゲート構造のトランジスタを例にとって説明すると、図4に示すようにドレイン電圧 $V_D = -5V$ の時と $V_D = -0.1V$ の時とではしきい値電圧 V_{th} に約1Vの差が生じてしまう。このようにしきい値が変化すると、ゲート電圧を V_G とするとドレイン電流 $I_D \propto (V_G - V_{th})$ であるため、駆動電圧によって流せる電流量が大きく変化してしまったり、相互コンダクタンスが変化し、電流駆動能力が変化してしまう。従って、回路設計上の自由度が制限されてしまうという問題が発生する。

【0007】従って、本発明は、駆動電圧が変化した場合の流せる電流量変化または電流駆動能力の変化を抑制することのできるトランジスタ構造およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】そこで、本願発明者らが検討したところ、駆動電圧によりしきい値電圧が上昇してしまうのは、ゲート電極下にまで拡散形成されてしまう2重オフセット領域10によることがわかった。すなわち、MOSトランジスタの動作条件である反転層の形成領域の不純物濃度が高くなり、反転層を形成するまでの電圧が上昇してしまうものである。

【0009】このことは、上記特開昭62-217666号公報に示される構造においてもいえることである。すなわち、ゲート電極長が短くなるにつれてNチャンネルトランジスタのホットキャリア効果が大きくなるため、ホットキャリア効果抑制のために電界緩和作用をより向上させようとする、例えばイオン注入の角度を大きくして、低濃度のN型不純物層をよりゲート電極の内側に形成させる必要があり、それに伴って、Pチャンネルトランジスタにおいてもゲート電極のより内側に低濃度のN型不純物層が形成されてしまい、上記のような問題が発生することになる。

【0010】従って、請求項1に記載の半導体装置は、半導体基板に形成され、該半導体基板の一表面に露出する第1導電型の第1半導体領域に、第2導電型の所定の不純物濃度を有するソースおよびドレイン領域を備え、絶縁膜を介して配設されたゲート電極によって導通制御されるMIS構造のトランジスタであって、前記第1半導体領域において前記ドレイン領域を覆うように形成されるとともに、前記第1半導体領域よりも高濃度の第1導電型からなる第2半導体領域を有し、該第2半導体領域の前記ゲート電極下の領域であって、かつ反転層の形成される前記半導体基板の表面領域においては、その不純物濃度が前記第1半導体領域の不純物濃度とほぼ同等となっていることを特徴としている。

【0011】また、請求項2に記載の半導体装置は、前記ゲート電極下の前記第2半導体領域の表面近傍の不純物濃度プロファイルは、反転層の形成される表面付近において、前記第1半導体領域の前記半導体基板表面付近における不純物濃度とほぼ同等の不純物濃度を有することを特徴としている。また、請求項3に記載の半導体装置は、前記ドレイン領域の前記ゲート電極のエッジ部における電界集中を緩和すべく、前記ゲート電極エッジ部と前記ドレイン領域との間に配設された前記ドレイン領域よりも低い不純物濃度の第2導電型オフセット領域を有するものであり、かつ前記第2半導体領域は、このオフセット領域より広く、かつ深い拡散深さを有して、該オフセット領域を囲うようにして形成されたことを特徴としている。

【0012】また、請求項4に記載の半導体装置の製造方法は、半導体基板の所定領域に設けられた第1導電型の前記第1半導体領域上に絶縁膜を介してゲート電極を形成する第1工程と、該ゲート電極をマスクとして所定角度にてイオン注入し、前記第1半導体領域の不純物濃度よりも高い濃度の第1導電型の第2半導体領域を自己整合的に形成する第2工程と、前記第2半導体領域の前記ゲート電極下であって、前記半導体基板表面付近における不純物濃度を前記第1半導体領域の不純物濃度とほぼ同等の濃度にすべく、第2導電型の不純物を前記ゲート電極をマスクとしてイオン注入する第3工程と、前記ゲート電極をマスクとし、半導体基板に対してほぼ垂直

にイオン注入して前記第2半導体領域内に第2導電型の第3半導体領域を形成する工程とを有することを特徴とする。

【0013】また、請求項5に記載の半導体装置の製造方法は、前記第3工程のイオン注入は、前記第2半導体領域のイオン注入の注入角度と同等の注入角度にて行われることを特徴としている。また、請求項6に記載の相補形MIS型半導体装置の製造方法は、半導体基板の所定領域に第1導電型の第1半導体素子領域と、第2導電型の第2半導体素子領域とを設け、該第1および第2半導体素子領域上に絶縁膜を介して第1ゲート電極、第2ゲート電極を形成する第1工程と、該第1ゲート電極および第2ゲート電極をマスクとして第1導電型の不純物を所定の角度にてイオン注入し、前記第1および第2半導体素子領域に前記第1ゲート電極および第2ゲート電極の少なくとも一方の側に第1導電型の第1半導体領域と第2半導体領域を形成する第2工程と、前記第1半導体素子形成領域において、前記第2工程にて前記第1ゲート電極下であって、前記第1半導体素子領域表面付近に拡散形成された前記第1半導体領域の不純物濃度を前記第1半導体素子領域に近づけるべく、第2導電型の不純物を前記第1ゲート電極をマスクとしてイオン注入する第3工程と、前記第1ゲート電極をマスクとして第2導電型の不純物をイオン注入し、前記第1半導体素子領域に第2導電型の第3半導体領域を形成する第4工程と、前記第2ゲート電極をマスクとして第1導電型の不純物をイオン注入し、前記第2半導体素子領域に第1導電型の第4半導体領域を形成する第5工程とを具備することを特徴としている。

【0014】また、請求項7に記載の相補形MIS型半導体装置の製造方法は、請求項6に記載の相補形MIS型半導体装置の製造方法において、前記第4工程は、前記第1ゲート電極をマスクとして第1種第3半導体領域を形成する工程と、さらに第1種第3半導体領域に隣接するように該第1種第3半導体領域よりも高濃度の第2種第3半導体領域を形成する工程とを含むものであることを特徴としている。

【0015】また、請求項8に記載の相補形MIS型半導体装置の製造方法は、請求項6または7に記載の相補形MIS型半導体装置の製造方法において、前記第3工程のイオン注入は、前記第2半導体領域のイオン注入の注入角度と同等の注入角度にて行われることを特徴としている。

【0016】

【作用および発明の効果】請求項1乃至請求項3に記載のMIS型半導体装置によれば、半導体基板に設けられた第1半導体領域と同じ導電型であるとともに前記第1半導体領域よりも高濃度の第2半導体領域のゲート電極下の領域であって、前記半導体基板の表面領域の反転層形成領域においては、その不純物濃度が前記第1半導体

領域の不純物濃度とほぼ同等となっているため、しきい値電圧の上昇を抑制することができる。これにより、駆動電圧が変化しても流せる電流量、または電流駆動能力の変化を抑制することができ、従って回路設計上の自由度を低下させることのないMIS型半導体装置を提供できる。

【0017】さらに、請求項3のMIS型半導体装置によれば、高耐圧半導体装置において、しきい値電圧の上昇を抑制することができる。これにより、高耐圧のMIS型半導体装置においても、駆動電圧が変化しても流せる電流量または電流駆動能力の変化を抑制することができ、回路設計上の自由度を低下させることのないMIS型半導体装置を提供できる。

【0018】また、請求項4に記載のMIS型半導体装置の製造方法においては、第3工程を追加するのみで、請求項1乃至3に記載のMIS型半導体装置を形成することができる。従って、MIS型半導体装置の微細化に伴い必要となる第2半導体領域の影響を抑制することができるようなMIS型半導体装置を、複雑な工程を用いることなく、形成することができるという効果がある。

【0019】また、請求項5に記載のMIS型半導体装置の製造方法においては、上記第3工程のイオン注入において、前記第2半導体領域のイオン注入の注入角度と同等の注入角度にて行っているため、しきい値上昇抑制のための請求項1乃至3に記載の半導体装置を確実に形成することができる。また、請求項6に記載の相補形MIS型半導体装置の製造方法によれば、相補形MIS型半導体装置の微細化による短チャネル効果およびホット・キャリア効果を低減させるとともに、電流駆動能力が高いMIS型半導体装置を含んだ相補形MIS型半導体装置を製造することができる。

【0020】また、請求項7に記載の相補形MIS型半導体装置の製造方法によれば、相補形MIS型半導体装置の微細化による短チャネル効果およびホット・キャリア効果を低減させるとともに、電流駆動能力が高い高耐圧MIS型半導体装置を含んだ相補形MIS型半導体装置を製造することができる。また、請求項8に記載の相補形MIS型半導体装置の製造方法においては、相補形MIS型半導体装置の微細化による短チャネル効果およびホット・キャリア効果を低減させるとともに、電流駆動能力が高いMIS型半導体装置を含んだ相補形MIS型半導体装置を製造するに際して、前記第3工程のイオン注入において、前記第1半導体領域のイオン注入の注入角度と同等の注入角度にて行っているため、しきい値上昇抑制のための請求項1乃至3に記載されるような電流駆動能力が高いMIS型半導体装置を確実に形成することができる。

【0021】

【実施例】本発明を適用した実施例について、図面を用いて説明する。図3は、本発明の半導体装置の製造方法

により製造されるMIS型半導体装置の一例である高耐圧P型チャンネルMOSトランジスタを示す断面図である。また、図7～図13は、本発明の製造方法を相補形MISトランジスタの一種である高耐圧P型チャンネルMOSトランジスタを有するCMOSトランジスタの製造工程に適用した場合の実施例を示す工程図である。尚、以下に示す実施例では請求項でいう第1導電型をN型として、第2導電型をP型として説明する。

【0022】本発明の一実施例である高耐圧P型チャンネルMOSトランジスタは、図3に示すように、半導体基板1に形成された低濃度不純物領域(N⁻ウェル領域)2b、フィールド酸化膜3、ゲート酸化膜4およびゲート酸化膜上に形成されたゲート電極5、高濃度不純物拡散層からなるソース領域8、ドレイン領域7およびオフセット領域6が形成され、さらに、N⁻ウェル領域2bと同導電型で高濃度に形成されたN⁻不純物領域13bに逆導電型の不純物を導入することにより、ゲート電極下の図中Aに示される表面領域のN型不純物濃度が、実質的にN⁻ウェル領域2bの表面領域の不純物濃度と等しくなるように形成されている。尚、以下の説明において、逆導電型の不純物を導入したN⁻不純物領域13bをN⁻不純物領域11とする。

【0023】その様子を図4を用いて説明する。図4(a)は、図3の図中Aに示す領域周辺の拡大図である。図4(a)に示すように、ゲート電極5下の相殺領域となる領域11aにおいては、逆導電型の不純物が導入されたことにより、その不純物濃度がN⁻ウェル領域2bの表面領域の濃度と等しくなるように形成されるものである。

【0024】また、図4(b)は、CC断面の半導体基板表面から深さ方向へのN型不純物濃度プロファイルを示すものであり、縦軸がN型不純物濃度を示し、横軸が基板の深さを示すものである。また、深さ方向の0点を基板表面とし、B点を図4(a)に示す相殺領域11aとN⁻不純物領域11との境界領域の深さとしている。

【0025】図4(b)において、実線DはN⁻ウェル領域2bの濃度プロファイルであり、実線EはN⁻不純物領域11の濃度プロファイルであり、実線Fが相殺領域11aの濃度プロファイルである。また、点線D'はN⁻不純物領域11(13b)を形成する前のN⁻ウェル領域2bによる基板表面付近の不純物濃度、すなわち、チャンネルが形成されるゲート電極5下のN⁻ウェル領域2bの基板表面付近の不純物濃度を示すものであり、点線E'はN⁻不純物領域11(13b)を形成した後であって、相殺領域11aを形成する前の基板表面付近の不純物濃度を示すものである。

【0026】すなわち、従来では、N⁻不純物領域13bを形成することにより、基板表面付近の濃度が実線D'で示される濃度(基板表面ではa点の濃度)から実線E'で示される濃度(基板表面ではb点の濃度)まで

上昇してしまい、これが原因となって、駆動電圧が変化した際にしきい値電圧が変動したり、電流駆動能力が変動してしまっていた。そこで本発明では、相殺領域11aを形成するためのイオン注入を行い、点線E'と実線Fとの間の斜線領域のN型不純物をP型不純物で相殺して、基板表面付近のN型不純物濃度をb点の濃度からa点の濃度、すなわちN⁻ウェル領域2bの基板表面付近の不純物濃度に近づけている。

【0027】尚、図4(a)、(b)の両図は、説明の都合上、分かり易くしたものであって、実際の断面図および濃度プロファイルとは異なるものである。次に、本発明の製造方法の一実施例を、相補型MOSトランジスタの製造工程に適用した場合の図を用いて説明する。図7では相補型MOSトランジスタとして、通常のソース・ドレイン耐圧をもつN型チャンネルMOSトランジスタ(以下、Nch低耐圧トランジスタ)と、オフセット・ゲート構造のP型チャンネルMOSトランジスタ(以下、Pch高耐圧トランジスタ)を形成している。

【0028】図7に示すように、比較的高抵抗のシリコン基板1に周知の技術により、P⁻ウェル領域2a、N⁻ウェル領域2b、フィールド酸化膜3、ゲート酸化膜4を形成する。図8に示すように、必要に応じて、形成される各々のトランジスタのしきい値を所望の値にすべく、しきい値調整用の不純物12a、12b(以降図示せず)をイオン注入する。そして、ゲート電極となるポリ・シリコン層をCVD法を用いてゲート酸化膜4上に積層し、通常のホト・エッチング工程を用いてゲート電極5を各々形成する。

【0029】続いて、図9に示すように、ゲート電極5に薄く酸化膜(図示せず)を形成したのち、Nch低耐圧トランジスタ形成領域、Pch高耐圧トランジスタ形成領域に同時にN型不純物をイオン注入13し、各ゲート電極5の両側にN⁻不純物領域13a、13bを形成する。ここで、通常、イオン注入工程での注入角度はウェハの法線に対して0～7°傾けておこなわれるが、本実施例ではN型不純物のイオン注入13は、ウェハの法線に対して60°の斜めから行った。イオン注入の条件としては、不純物としてリンを加速度90KeVで、ドーズ量としては約6×10¹³dose打ち込み、1000°Cで10分熱処理を行った。

【0030】次に、図10に示すように、Nch低耐圧トランジスタ形成領域をホト・レジスト21等でマスクし、P型不純物をPch高耐圧トランジスタ形成領域にのみイオン注入14する。イオン注入14では、図9に示されるN⁻不純物領域13a、13bの内、少なくともゲート電極5の下の部分のN⁻不純物を実質的に相殺するように行われる。本実施例では、不純物としてボロンをN型不純物のイオン注入13と同じ注入角度、ドーズ量で、またイオンの飛程もほぼ等しくなるよう設定された加速電圧で注入した。つまり、不純物の拡散速度を

考慮して、最終的にゲート電極下であって半導体基板表面の N^- 不純物領域11(13b)の不純物濃度が N^- ウェル領域2bとほぼ同等の濃度になるような条件でイオン注入すればよい。その条件の一例として本実施例においては、注入角度を 60° 、ドーズ量を約 6×10^{13} dose、加速電圧を50 KeVとして行った。尚、逆導電型の不純物を導入したあとの N^- 不純物領域13bを N^- 不純物領域11とする。

【0031】このようなイオン注入14を行うことにより、Pch高耐圧トランジスタのしきい値 V_{th} あるいは電流駆動能力への影響が抑制され、 V_{th} においては、しきい値調整用の不純物層12bあるいは、それを行わない場合は N^- ウェル領域2bの表面濃度により決定し、しきい値のコントロールが容易になる。その後、図11に示すように、従来の方法にて、P型不純物をイオン注入(16)し、オフセット領域となる拡散層6を形成する。この際の条件としては、本実施例においては、注入角度を 7° とし、加速電圧を30 KeVとし、ドーズ量を 4×10^{13} doseとした。上記のようにP型不純物のイオン注入14とイオン注入16により、オフセット領域6の濃度が決定される。

【0032】続いて、図12、13に示すように、Pch高耐圧トランジスタ領域に P^+ ソース・ドレイン層8、7を形成し、Nch低耐圧トランジスタ形成領域に N^+ ソース・ドレイン層18、19を形成し、電極配線等(図示せず)の工程を経て、図14に示す相補型MOSトランジスタが製造される。このようにして製造されたPch高耐圧トランジスタの特性を図5に示す。

【0033】尚、実線は本発明により製造されたトランジスタ、破線は従来の方法により製造されたトランジスタの特性である。従来の方法で製造されたトランジスタのしきい値電圧は、ドレイン電圧 $V_d = -0.1V$ と $V_d = -5V$ とでそのしきい値に約0.8V程度と大きく差があるのに対し、本発明によるトランジスタではその差を小さくすることができることがわかる。また、図面では分かりにくいのが、電流駆動能力(相互コンダクタンス g_m)の駆動電圧が変わることによる変動も抑制することができるという効果もある。

【0034】従って、ソース・ドレイン8、7の周りに N^- ウェル領域2bよりも高濃度の N^- 不純物領域11を有し、この N^- 不純物領域11内にオフセット領域となる拡散層6を形成したPch高耐圧トランジスタにおいて、ゲート電極5下の領域の N^- 不純物領域11の表面領域においては、逆導電型の不純物であるP型不純物

を導入し、相殺領域11aを形成してN型不純物濃度を N^- ウェル領域2b程度に近づけているため、駆動電圧が変化してもしきい値の変化を抑えることができる。

【0035】これにより、駆動電圧が変化しても流せる電流量の変化を抑制することができるとともに電流駆動能力(相互コンダクタンス g_m)の変化も抑制することができる。よって、回路設計上の自由度を低下させることのないPch高耐圧トランジスタを提供できる。また、上述した製造方法によれば、相補形MOSトランジスタの微細化による短チャネル効果およびホット・キャリア効果を低減させるとともに、しきい値の変動あるいは電流駆動能力の変動を抑制することのできる高耐圧MOSトランジスタを含んだ相補形MOSトランジスタを製造することができる。

【0036】さらに、上記製造方法によれば、イオン注入14とイオン注入16の際のレジストマスク21のパターンは同一であるため、イオン注入14はレジストマスク21形成後、イオン注入16に先立って行えばよく、従来の工程に比べてイオン注入工程14を追加するのみで、電流量変化あるいは電流駆動能力変化を抑制することのできるMOSトランジスタを提供することができる。

【0037】尚、相殺領域11aは、少なくとも反転層が形成される領域深さまでは形成する必要がある。ただし、相殺領域11aを形成するためのP型不純物のイオン注入量が多すぎると、この相殺領域11aが逆にP型不純物濃度の濃い領域となってしまう、その部分で耐圧が決まってしまうようになるため、イオン注入量には上限がある。

【0038】また、 N^- 不純物領域13bの形成のためのN型不純物のイオン注入角度およびドーズ量(I.I 13)と、相殺領域11aの形成のためのP型不純物のイオン注入角度およびドーズ量(I.I 14)と、ソース・ドレイン層8、7の形成のためのイオン注入角度およびドーズ量(I.I 16)を以下に示す表1のように変化させたときに、ドレイン電圧 $V_d = 0.1V$ 、 $V_d = 5V$ と変化させたときのしきい値 V_{th} の変動を調べた結果を図6に示す。図中○が $V_d = 0.1V$ のときのデータ、△が $V_d = 5V$ のときのデータを示す。

【0039】図6は、サンプルウエハをA~Hの8枚用いて、各ウエハにおいて1点のみ測定したデータである。

【0040】

【表1】

dose: $\times 10^{13}$

		A	B	C	D	E	F	G	H
1.1 13	angle	7°	60°	60°	60°	60°	45°	60°	60°
	dose	1.5	3	3	3	3	3	5	3
1.1 14	angle	----	----	60°	60°	60°	45°	60°	----
	dose	----	----	3	3	3	3	5	----
1.1 16	angle	7°	7°	7°	7°	7°	7°	7°	7°
	dose	5.5	5.5	2.5	4.0	6.0	4.0	2.5	9

【0041】図6を見ると、サンプルBとサンプルHにおいてドレイン電圧が変化すると、しきい値も大きく変化することがわかる。サンプルBはN⁻不純物領域13bを形成したのち、相殺領域11aを形成しなかったサンプルであり、従来技術に相当する。また、サンプルHは同じく相殺領域11aを形成しなかったサンプルであるが、その代わり、ソース・ドレイン層8, 7の形成のイオン注入のドーズ量を増加させたものである。

【0042】この図6のサンプルHの結果より、N⁻不純物領域13bの影響を排除するためには、単に逆導電型の不純物の注入ドーズ量を増加させるだけではあまり効果がなく、N⁻不純物領域13bの形成のイオン注入と同等の注入角度にて注入する必要があることがわかる。上記実施例ではPch高耐圧トランジスタについて説明したが、相殺領域11aを有する構造は、上述した特開昭62-217666号公報に示されるような構造（以下C-DDD構造という）にも適用できる。すなわち、CMOS型トランジスタの微細化に伴う短チャネル効果やホット・キャリア効果を抑制するために、C-DDD構造においては、P型チャネルMOSトランジスタ（以下Pch低耐圧トランジスタという）およびN型チャネルMOSトランジスタのソース・ドレイン層をウェル領域よりも高濃度のN⁻不純物領域で取り囲むことにより、この両方の効果を同時に低減するようにしている。従って、P型チャネルMOSトランジスタにおいては、ウェル領域よりも高濃度のN⁻不純物領域により、駆動電圧が変化した際にしきい値電圧が変動する、あるいは電流駆動能力が変動するようになると考えられる。

【0043】本願発明者らは、まず、従来構造にてPch高耐圧トランジスタとPch低耐圧トランジスタとのしきい値変動を測定した。その結果、Pch高耐圧トランジスタのしきい値変動は約0.8Vであったのに対し、Pch低耐圧トランジスタのしきい値変動は約0.2Vと動作上、特に問題のない変動幅であった。実際、高耐圧トランジスタのゲート電極幅が2 μ m、低耐圧トランジスタのゲート電極幅が1 μ mと、低耐圧トランジスタの方がゲート電極幅は短く設計されるものである。従って、チャネル長の短い低耐圧トランジスタの方が、しきい値変動が大きいものと思われたが、上述のように

逆の結果が出てしまった。その理由として、本願発明者らは次のように考えた。

【0044】すなわち、高耐圧トランジスタの場合、ゲート電極下に回り込むのはソース・ドレイン領域の高濃度層ではなく、低濃度のオフセット領域であり、N⁻不純物領域の影響が大きく残ってしまうことが予想される。また、高耐圧を要求されるが故に、ゲート酸化膜が低耐圧トランジスタのものに比べ厚く（今回の場合は低耐圧トランジスタの1.75倍）形成され、しきい値が低耐圧トランジスタに比べ変動しやすいことも予想される。本願発明者らは、実際にはこれら2つが同時に影響したものと考えた。

【0045】次に、本願発明者らは、C-DDD構造の低耐圧トランジスタにおいてゲート電極幅を変化させて実験したところ、ゲート電極幅が1 μ m程度に狭くなると、しきい値変動や電流駆動能力変動の問題が高耐圧トランジスタのように顕著になってくることを確認した。従って、C-DDD構造の低耐圧Pchトランジスタにおいても、本願発明を適用することは有効であるといえる。

【0046】尚、本願発明を適用したC-DDD構造においては、ゲート電極下の表面付近に形成された相殺領域11aが、駆動電圧が変化した際のしきい値電圧変動あるいは電流駆動能力変動を抑制し、上記実施例のN⁻不純物領域11に相当するN型不純物領域が短チャネル効果によるパンチスルー現象を抑制することになる。また、C-DDD構造においても、相殺領域11aを形成するためのレジストマスクは、ソース・ドレインを形成するレジストマスクと同一であるため、ただ単にイオン注入のみを追加するだけでよい。

【0047】すなわち、相補形MOSトランジスタの製造方法において、上記実施例のようなしきい値電圧変動あるいは電流駆動能力変動を抑制することのできるP型チャネルMOSトランジスタを得るためには、単にN型チャネルMOSトランジスタのホットキャリア効果抑制のためのN型不純物のイオン注入と、P型チャネルMOSトランジスタの短チャネル効果抑制のためのN型不純物のイオン注入とを分けて注入角度を変えてイオン注入を行うようにすればよいが、この様にすると、それぞれ

のイオン注入においてレジストマスクが変わるため、マスクを形成するためのフォトリソ工程が追加されてしまう。そこで、本実施例のように、イオン注入14を行えば、例えば本実施例のPch高耐圧トランジスタにおいては、オフセット領域6と同様のレジストマスクを用いることができ、また、特開昭62-217666号公報に示されるような相補形のMISトランジスタの製造方法においても、イオン注入14のレジストマスクはソース・ドレイン領域を形成するためのマスクを使用することができるため、前述の製法のようにレジストマスクを形成するためのフォトリソ工程の追加なしに上記構造のMOSトランジスタを形成することができる。

【0048】また、上述したしきい値電圧変化あるいは電流駆動能力変化抑制構造を得るために、N⁻ウェル領域2bよりも高濃度のN⁻不純物領域13bのイオン注入14の注入角度と相殺領域11aを形成するためのイオン注入16の注入角度とを等しくしているため、N型不純物の拡散し、N⁻ウェル領域2bよりも高濃度となった領域を実質的にP型不純物で相殺することができる。

【0049】さらに、イオン注入14とイオン注入16とのドーズ量を等しくしているため、相殺領域11aの不純物濃度をよりN⁻ウェル領域2bの不純物濃度に近づけることができる。以上、本発明の製造方法を用いて半導体基板にNch低耐圧トランジスタおよびPch高耐圧トランジスタを形成した相補型トランジスタを例に示したが、本発明は、その要旨を逸脱しない範囲で様々な応用が可能である。

【0050】図15はNch高耐圧トランジスタおよびPch高耐圧トランジスタを形成した相補型トランジスタの例、図16はPch低耐圧トランジスタおよびPch高耐圧トランジスタを形成した相補型トランジスタの例、図17はフローティング・ゲート(23)コントロール・ゲート(25)の2層ゲート構造のEPROMとPch高耐圧トランジスタを形成した相補型トランジスタの例を示す図であり、その製造方法の理解を容易にするため、図中の番号のうち、図7～図13(図14)を用いて説明した製造工程と同一工程で形成されるものについては、同じ番号を付与してある。

【0051】また、上記実施例では、絶縁膜が酸化膜(Oxide)のMOSトランジスタについて説明したが、他の絶縁膜のMISトランジスタについても適用できる。また、上記実施例では第1導電型をN型、第2導電型をP型としたが、逆に第1導電型をP型、第2導電型をN型として上記実施例において全く反対導電型のMOSトランジスタを形成してもよい。

【図面の簡単な説明】

【図1】従来の製造方法によるオフセット・ゲート構造トランジスタの断面図である。

【図2】従来の改良された製造方法によるオフセット・ゲート構造トランジスタの断面図である。

【図3】本発明の製造方法によるオフセット・ゲート構造トランジスタの断面図である。

【図4】(a)は、図3の拡大図である。(b)は、図4(a)のCC断面の不純物濃度プロファイルを示す図である。

【図5】本発明の製造方法によるオフセット・ゲート構造トランジスタと従来の製造方法にて形成されるオフセット・ゲート構造トランジスタの特性比較図である。

【図6】イオン注入工程の違いによる特性比較図である。

【図7】本発明の製造方法の一実施例を説明する工程断面図である。

【図8】本発明の製造方法の一実施例を説明する工程断面図である。

20 【図9】本発明の製造方法の一実施例を説明する工程断面図である。

【図10】本発明の製造方法の一実施例を説明する工程断面図である。

【図11】本発明の製造方法の一実施例を説明する工程断面図である。

【図12】本発明の製造方法の一実施例を説明する工程断面図である。

【図13】本発明の製造方法の一実施例を説明する工程断面図である。

30 【図14】本発明の製造方法により形成される相補型トランジスタの例を示す断面図である。

【図15】本発明の製造方法により形成される相補型トランジスタの例を示す断面図である。

【図16】本発明の製造方法により形成される相補型トランジスタの例を示す断面図である。

【図17】本発明の製造方法により形成される相補型トランジスタの例を示す断面図である。

【符号の説明】

1 シリコン基板

40 5 ゲート電極

6 オフセット領域

7, 8 P⁺ ソース・ドレイン層

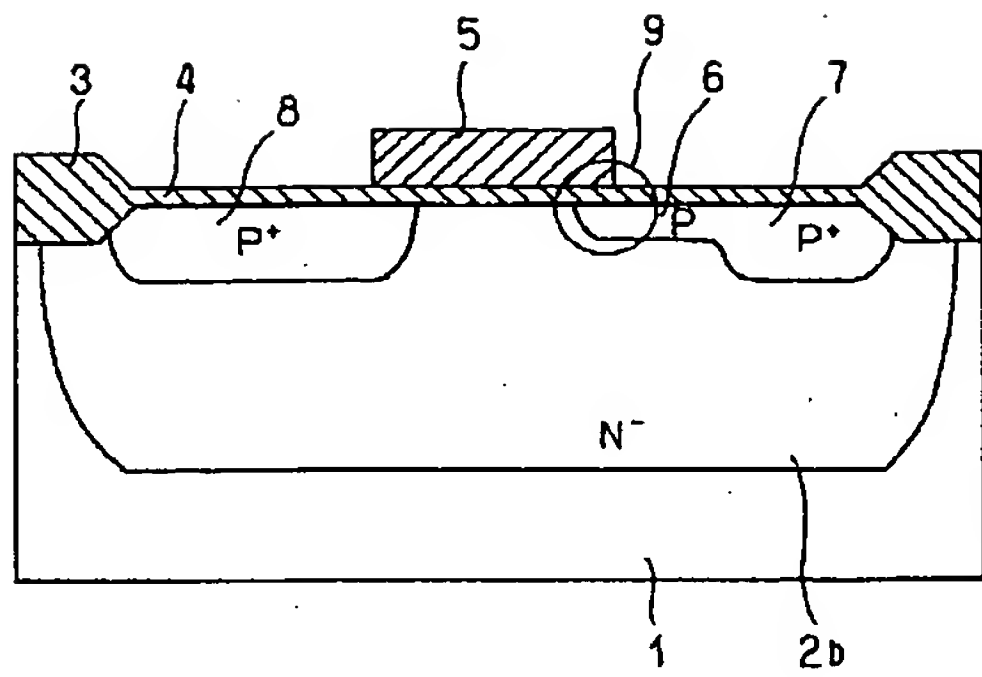
11 N⁻ 不純物領域

11a 相殺領域

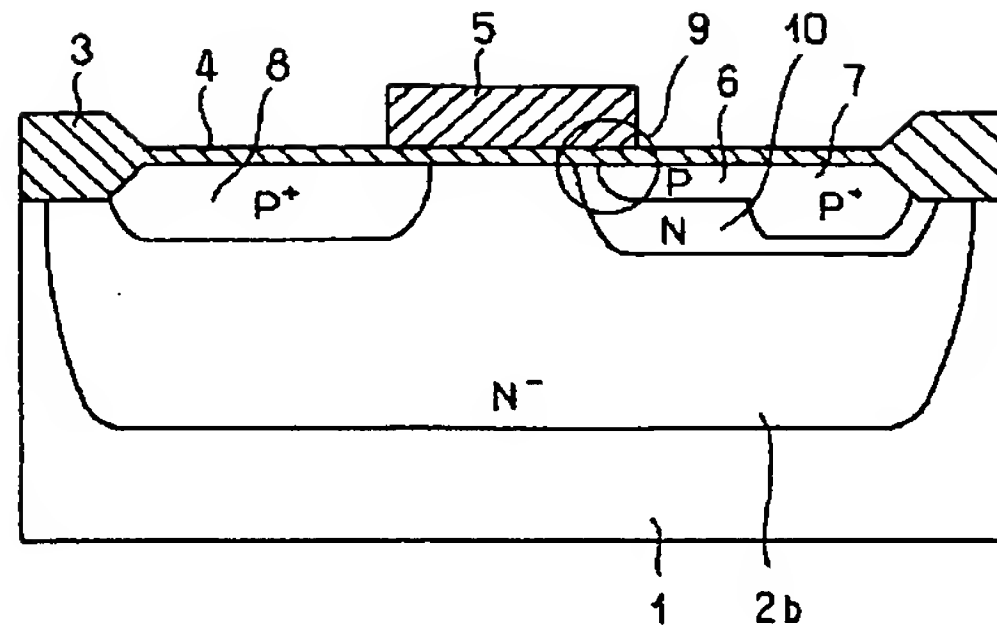
13a, 13b N⁻ 不純物領域

23 層間酸化膜

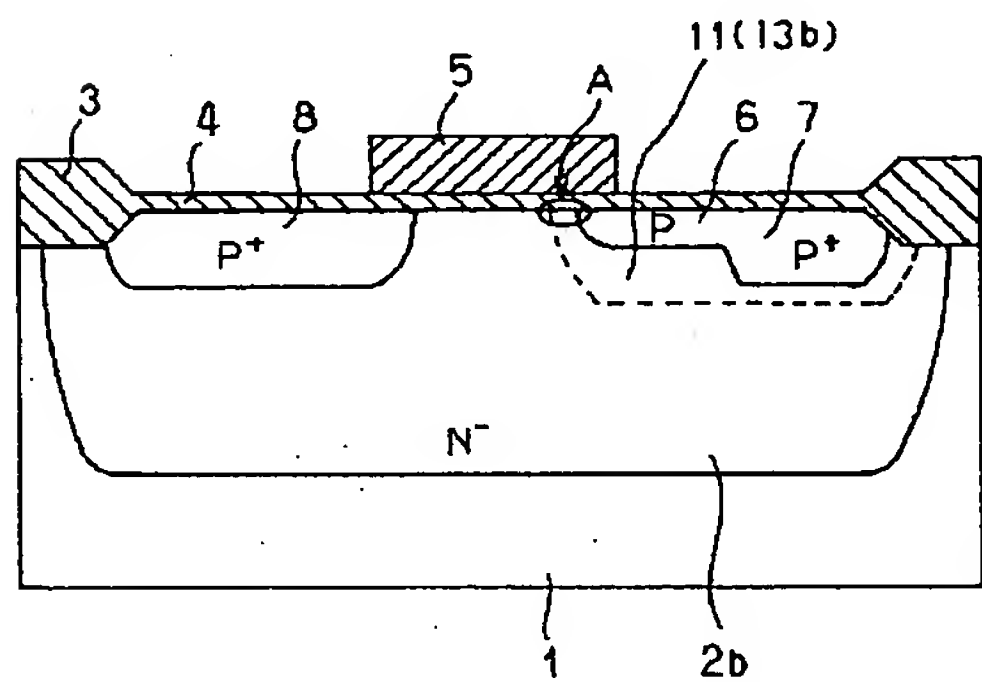
【図1】



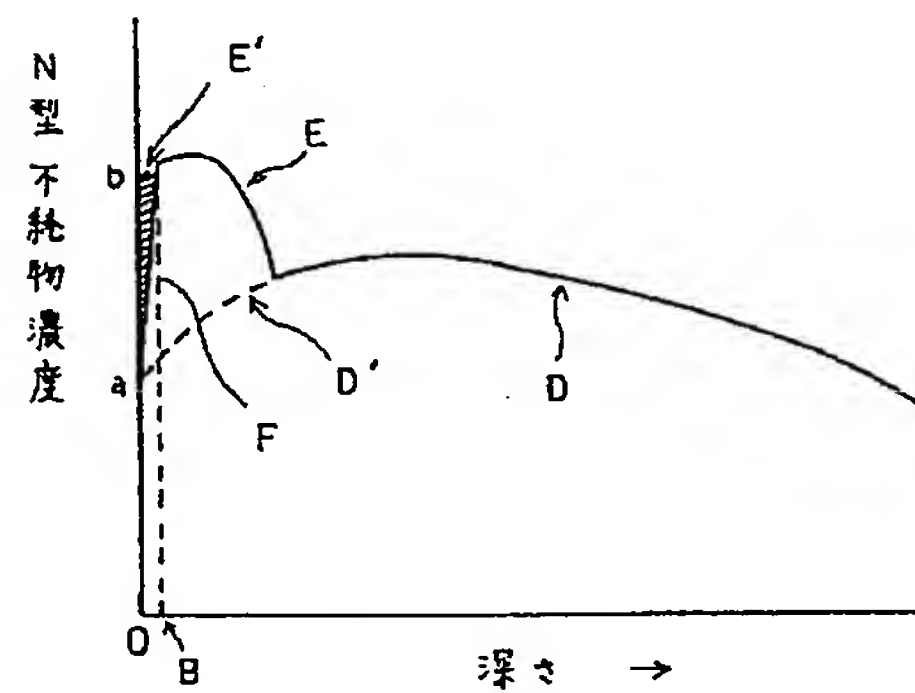
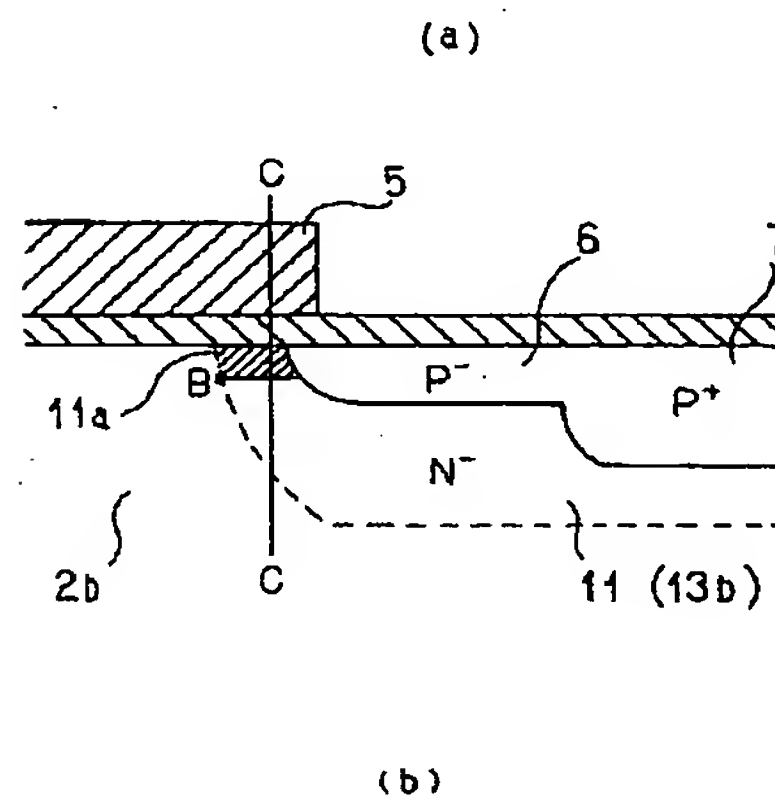
【図2】



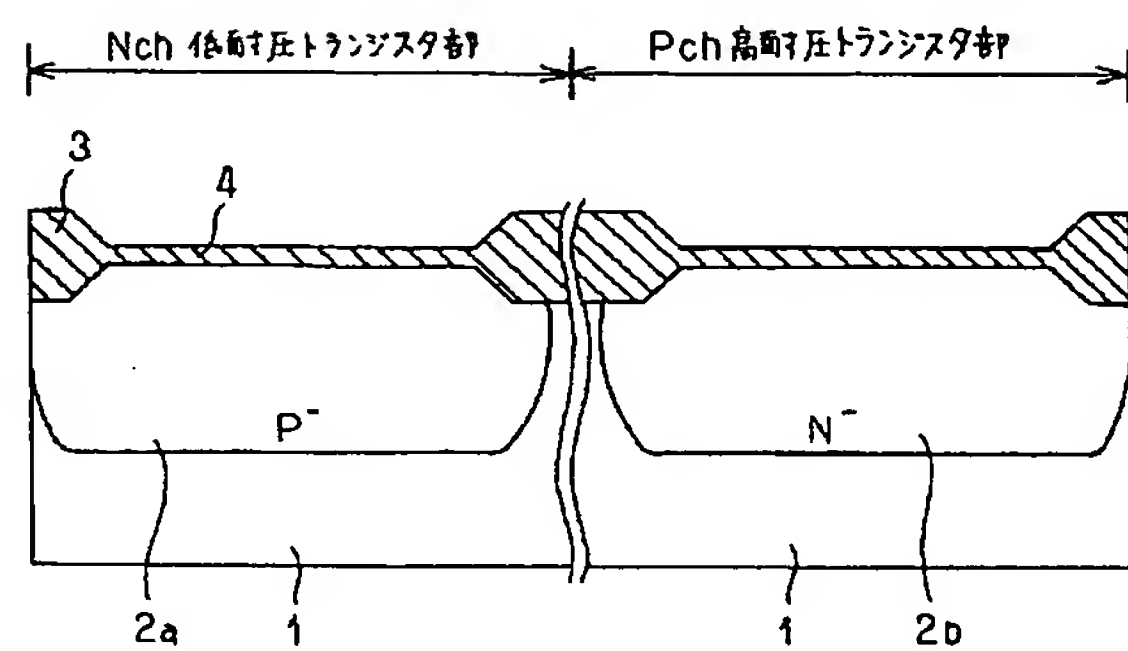
【図3】



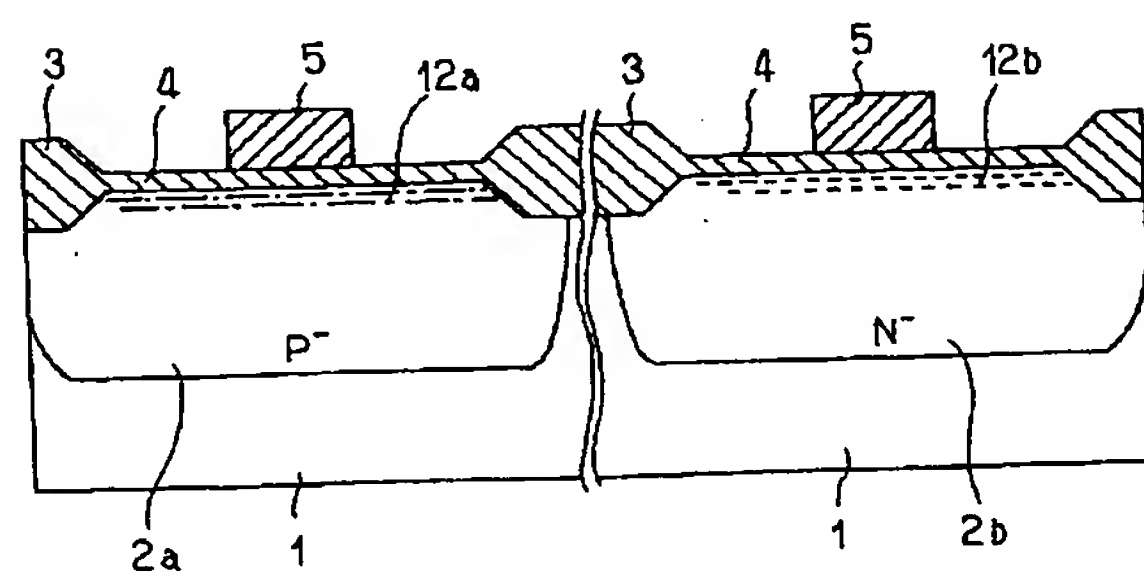
【図4】



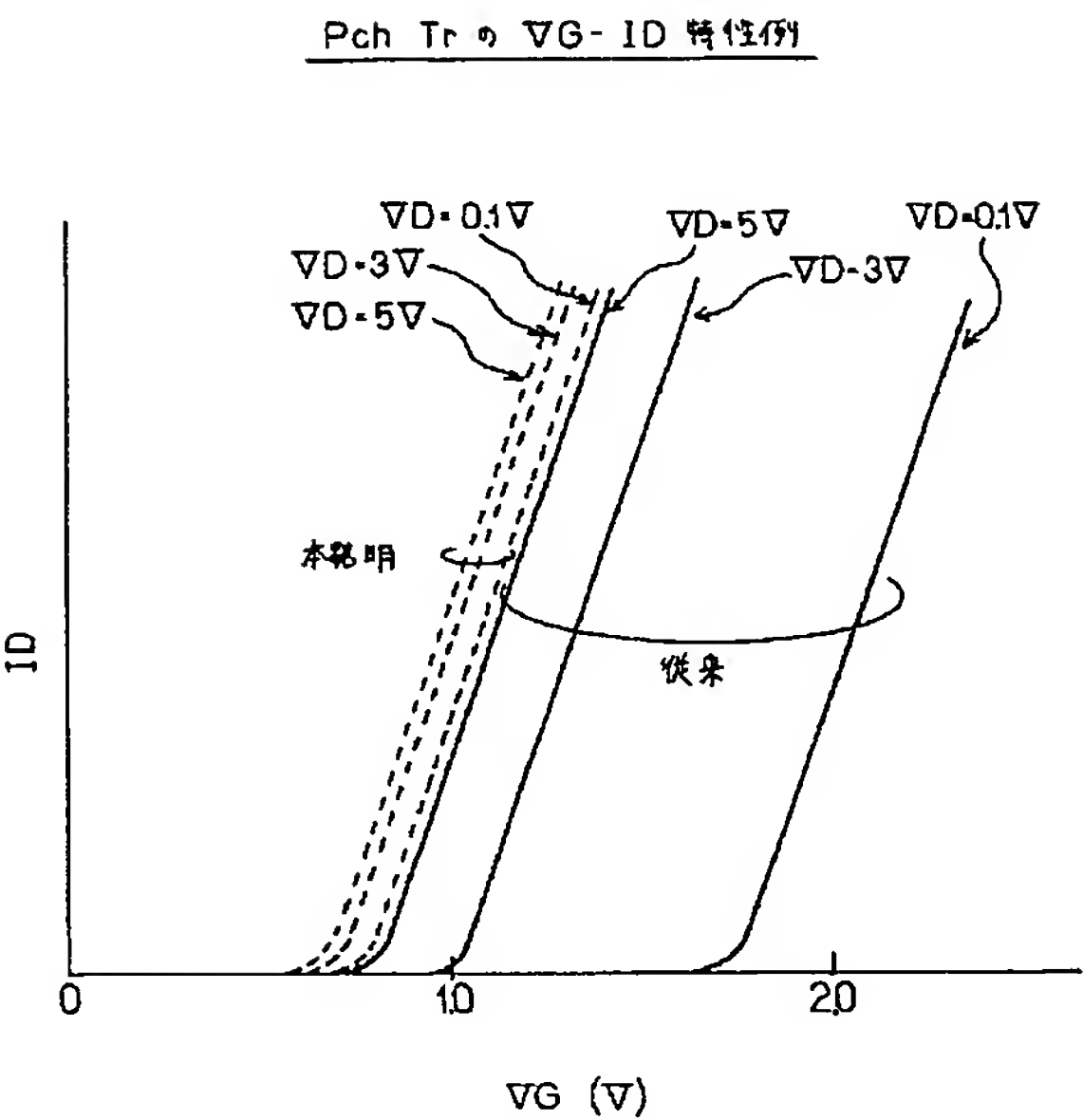
【図7】



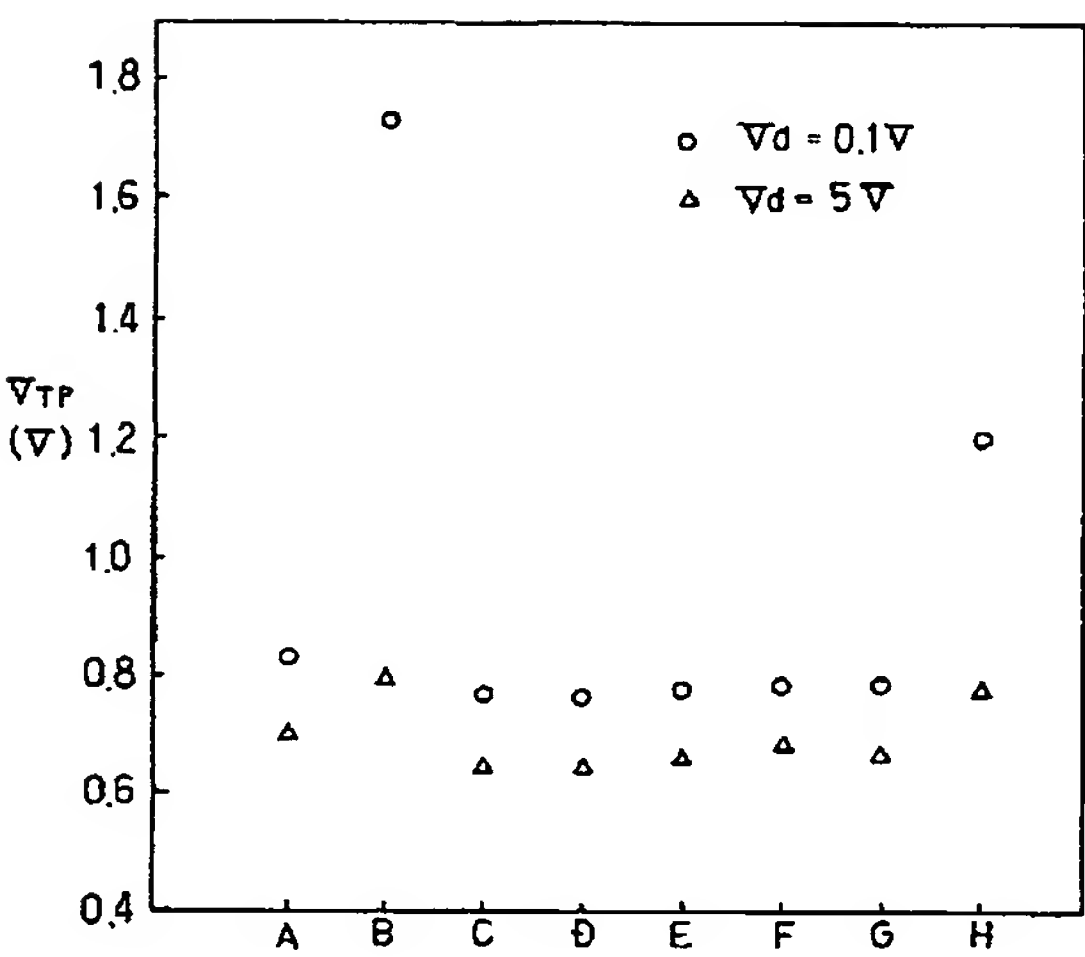
【図8】



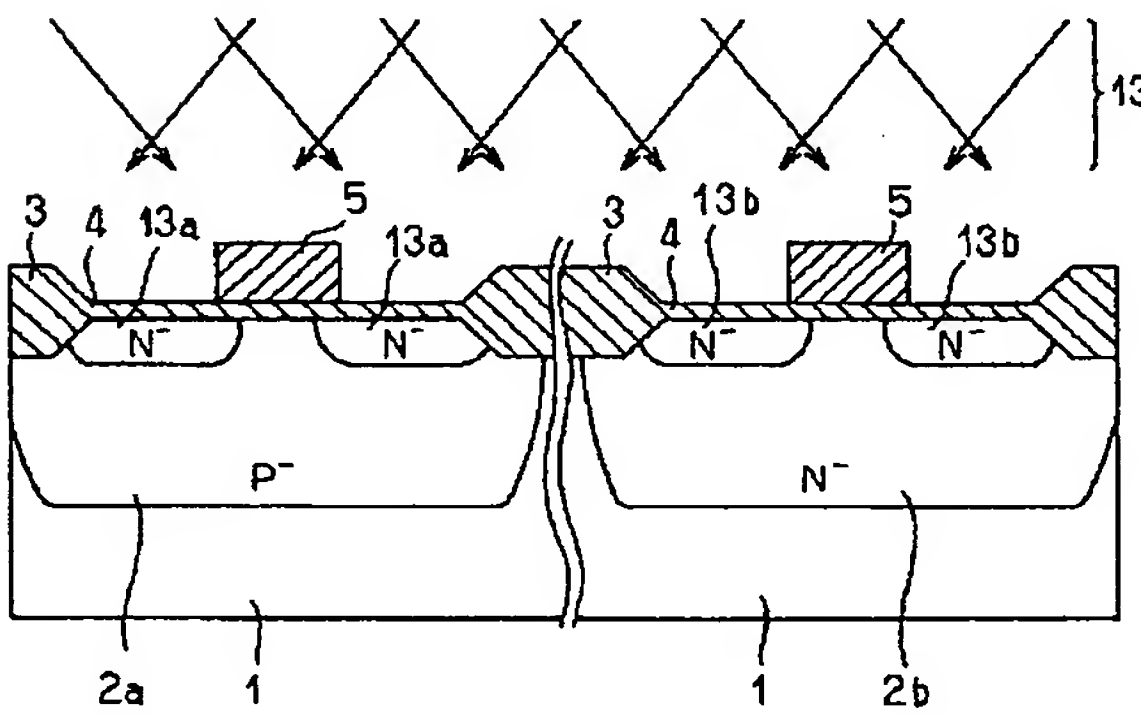
【図5】



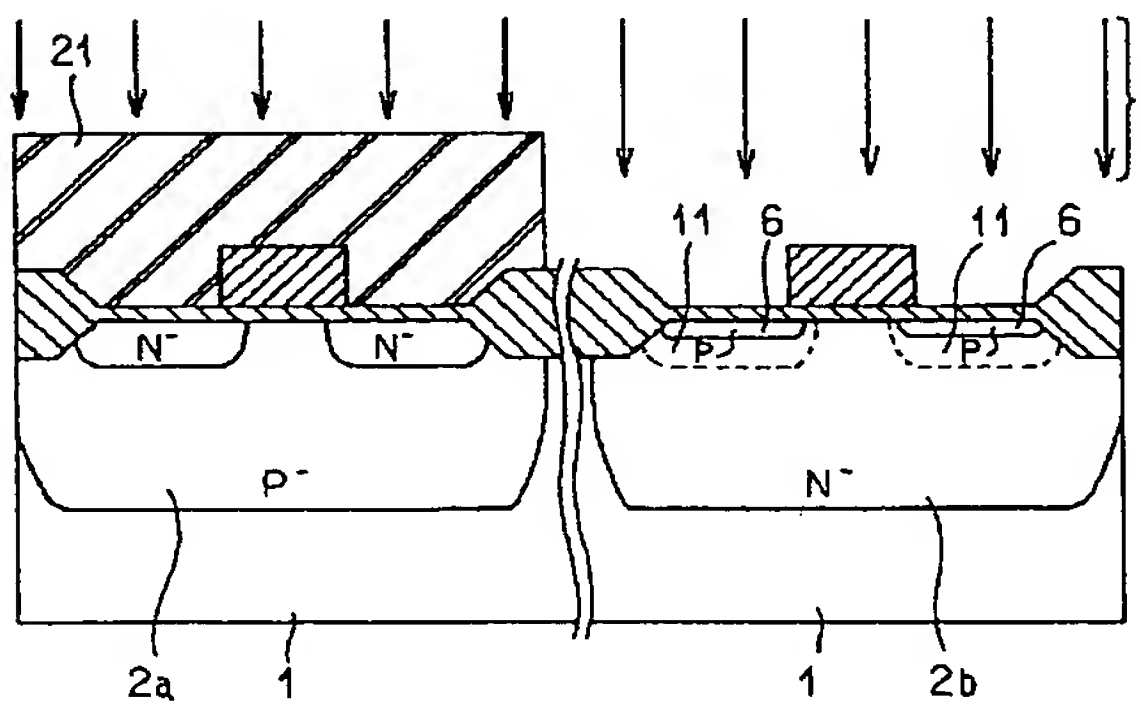
【図6】



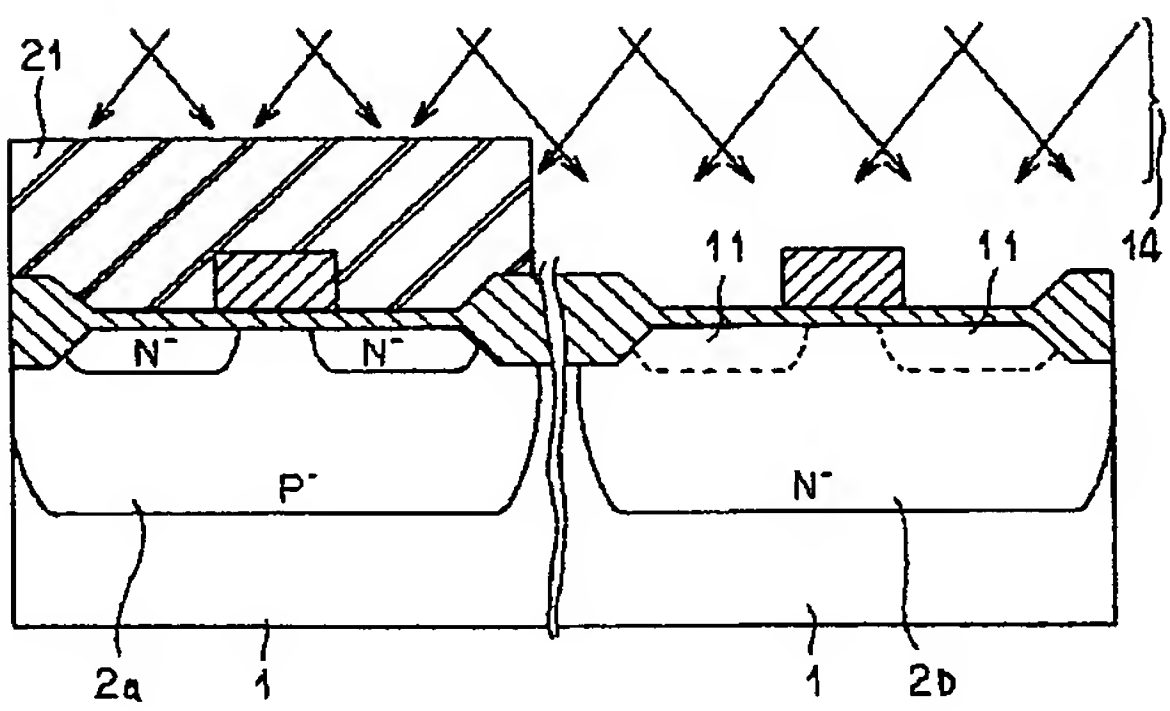
【図9】



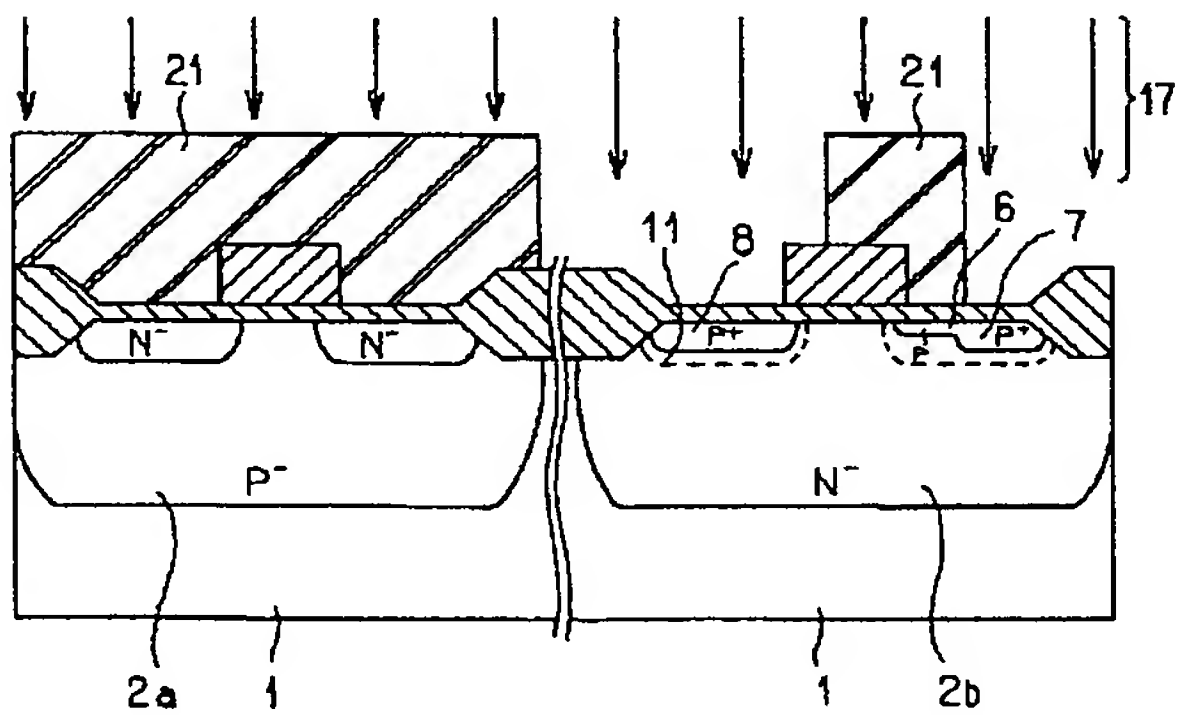
【図11】



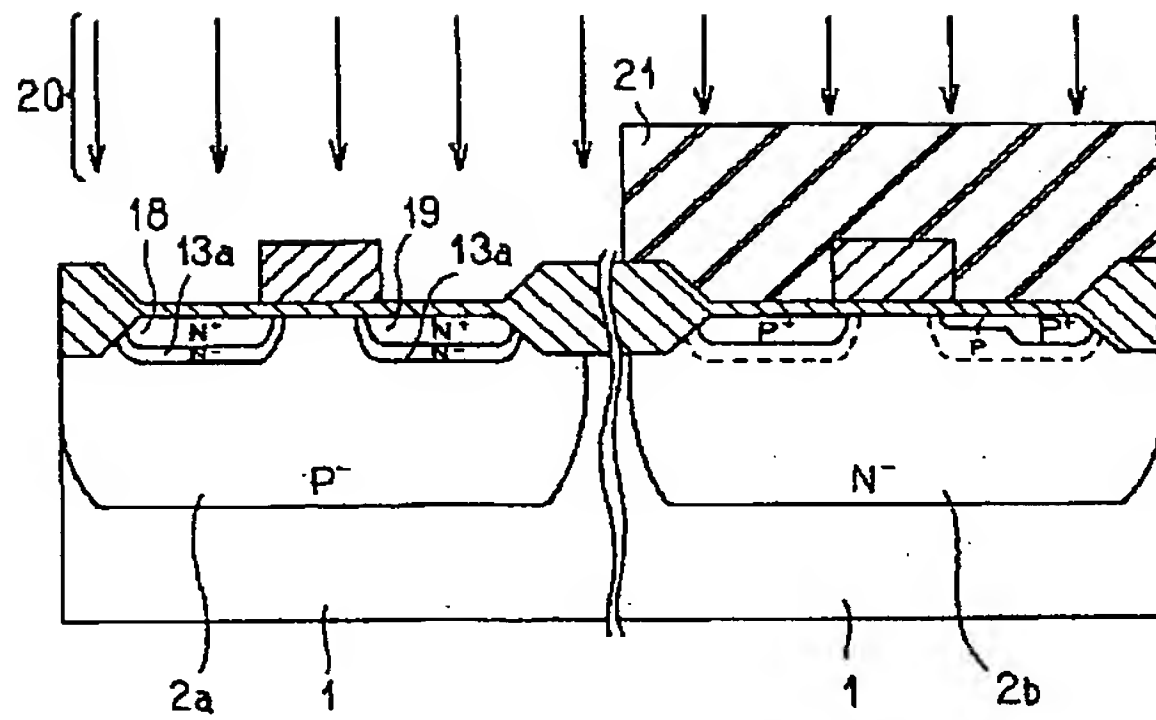
【図10】



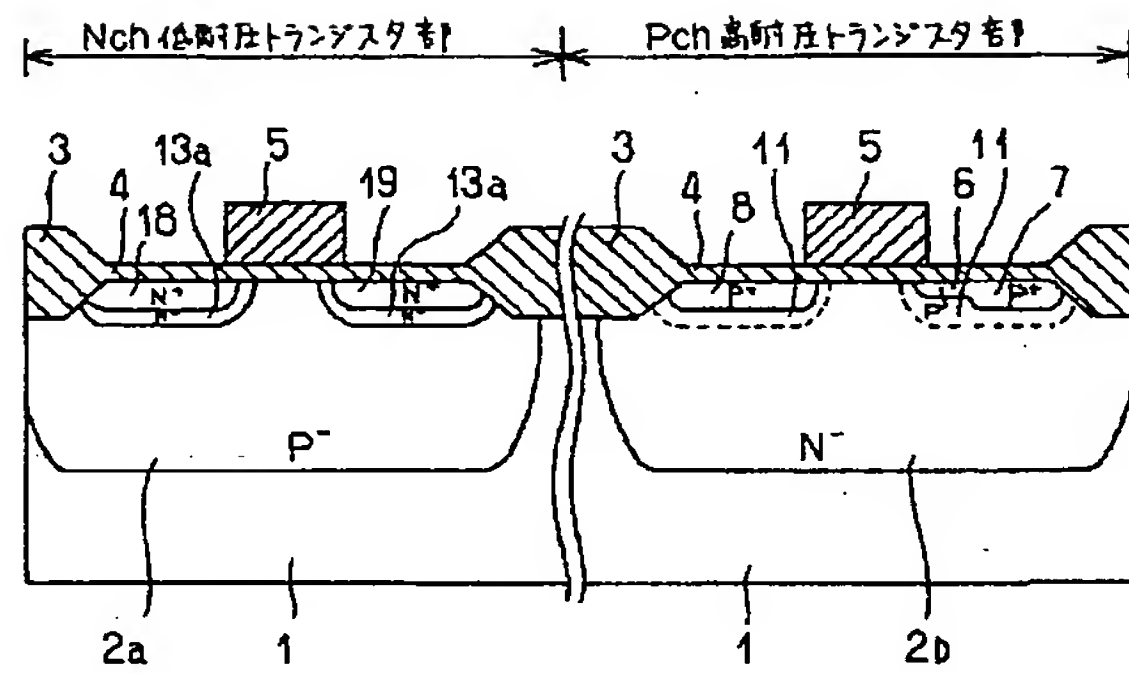
【図12】



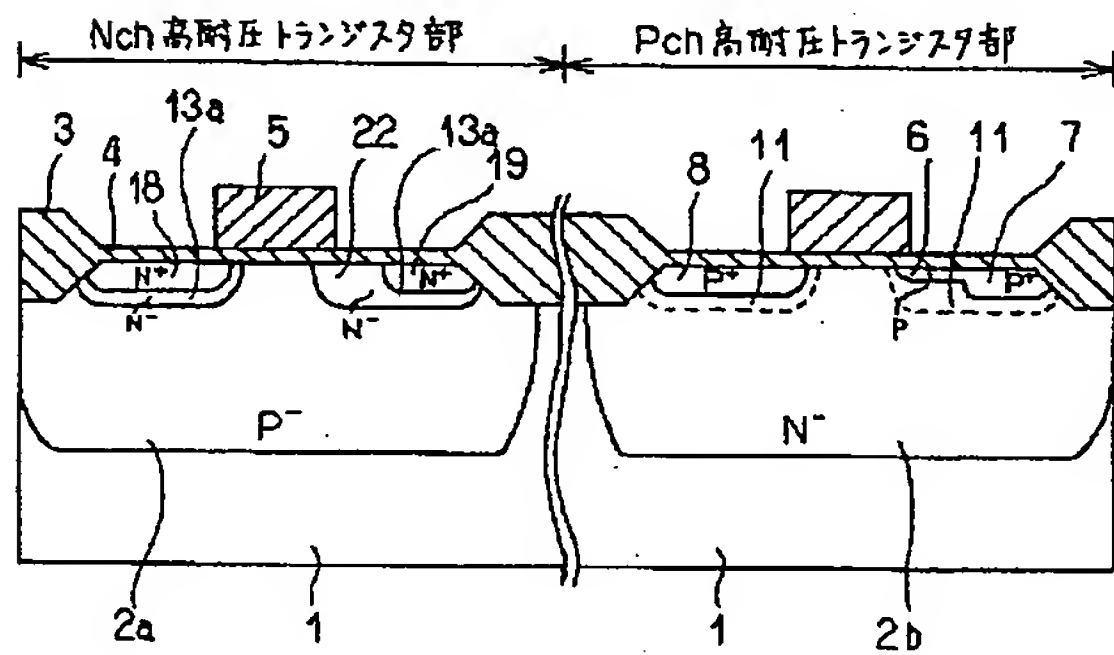
【図13】



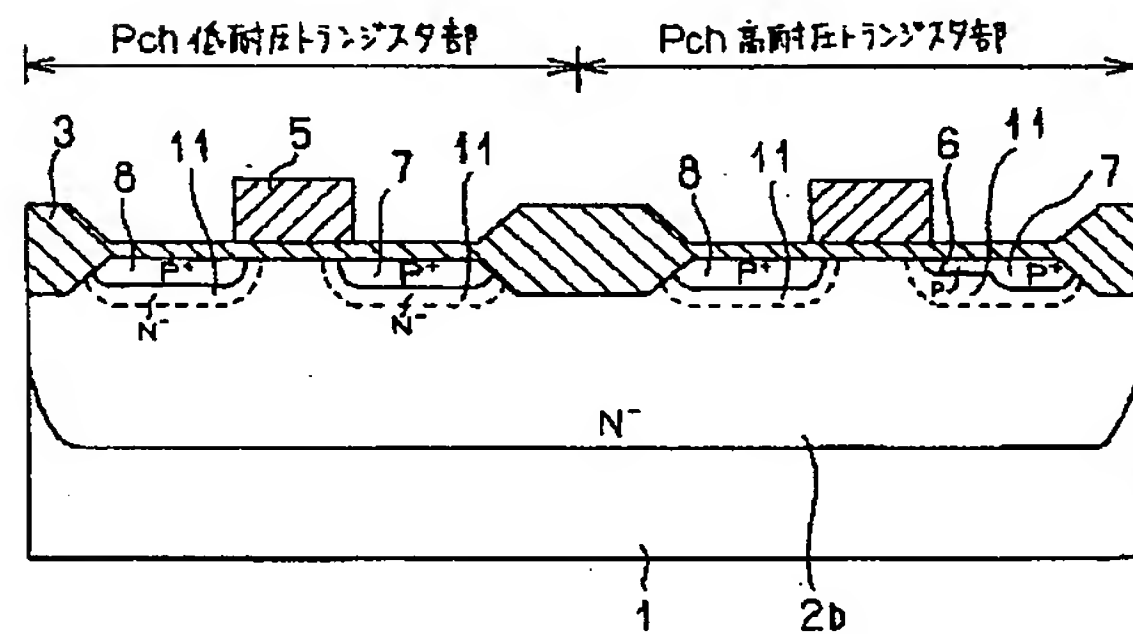
【図14】



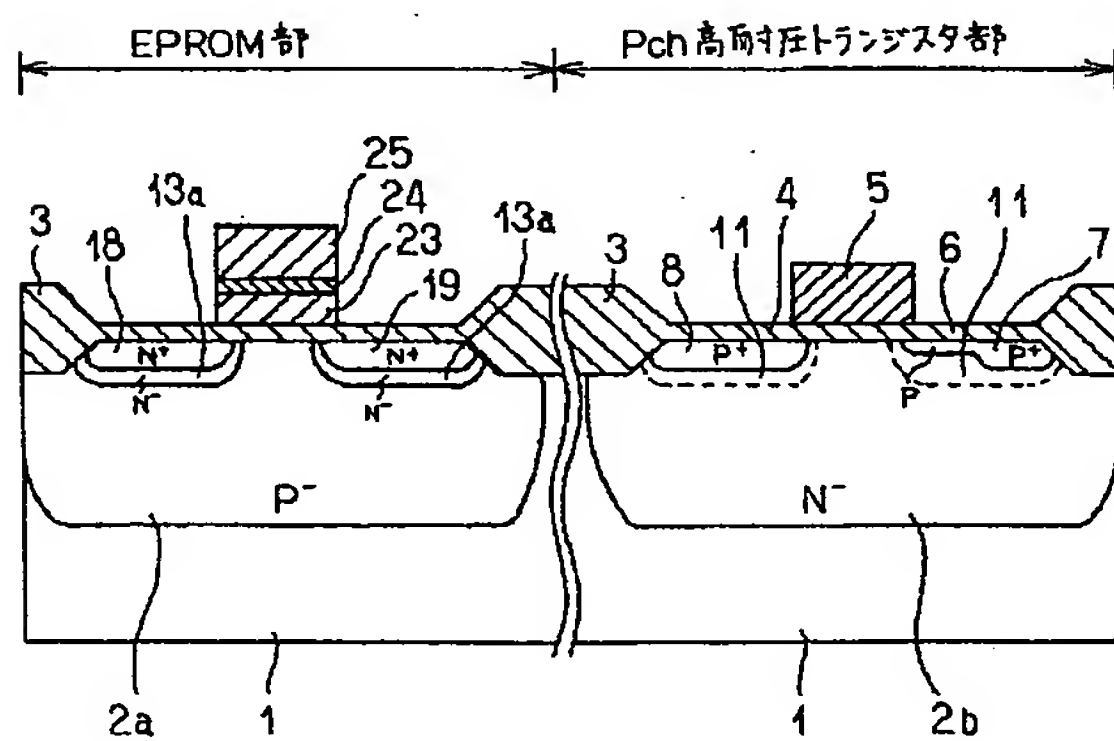
【図15】



【図16】



【図17】



フロントページの続き

(51)Int.Cl.⁶

H01L 27/088

21/8238

27/092

識別記号

片内整理番号

F I

技術表示箇所

21/8247
29/788
29/792

H O 1 L	27/08	3 2 1	C
	29/78	3 0 1	S
		3 7 1	

(72)発明者 大矢 信之
愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内